

MENU

SEARCH

INDEX

DETAIL

1/1



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 09211087

(43)Date of publication of application: 15.08.1997

(51)Int.Cl.

G01R 31/319

G01R 31/26

G06F 17/50

(21)Application number: 08037565

(71)Applicant:

NIPPON TELEGR & TELEPH
CORP <NTT>

(22)Date of filing: 31.01.1996

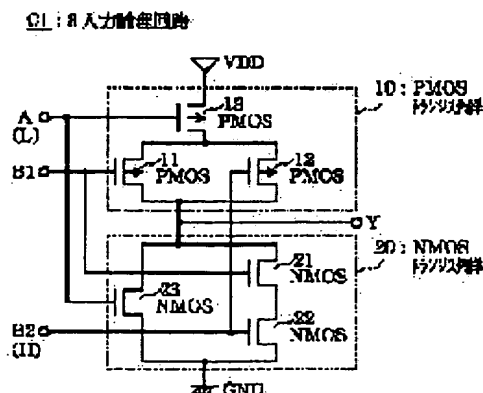
(72)Inventor:

YAMAKOSHI KOYO
SHIYUDOU HIROKI(54) DELAY-TIME ANALYZING METHOD FOR COMPLEMENTARY-TYPE MULTIPLE-
INPUT LOGIC CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To avoid the increase in computing time of delay time by suppressing the switching times of the operating regions of a transistor to the least with delay accuracy being secured.

SOLUTION: The group of a plurality of PMOS transistors 10 and the group of a plurality of NMOS transistor 20 constituting a multiple-input logic circuit are replaced with equivalent single PMOS transistors 11-13 and single NMOS transistors 21-23, respectively. Thus, the multiple-input logic circuit is processed as the equivalent complementary-type inverter logic circuit. The current and voltage characteristics of the equivalent PMOS transistors 11-13 and the equivalent NMOS transistors 21-23 in



this equivalent complementary-type inverter logic circuit are determined by the DC analysis mode of circuit simulation.

LEGAL STATUS

[Date of request for examination] 07.10.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998 Japanese Patent Office

[MENU](#)

[SEARCH](#)

[INDEX](#)

[DETAIL](#)

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-211087

(43)公開日 平成9年(1997)8月15日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 1 R 31/319			G 0 1 R 31/28	R
			31/26	B
G 0 6 F 17/50			G 0 6 F 15/60	6 6 2 G
				6 6 8 A

審査請求 未請求 請求項の数1 F D (全 6 頁)

(21)出願番号 特願平8-37565

(22)出願日 平成8年(1996)1月31日

(71)出願人 000004226

日本電信電話株式会社

東京都新宿区西新宿三丁目19番2号

(72)発明者 山越 公洋

東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内

(72)発明者 首藤 啓樹

東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内

(74)代理人 弁理士 川久保 新一

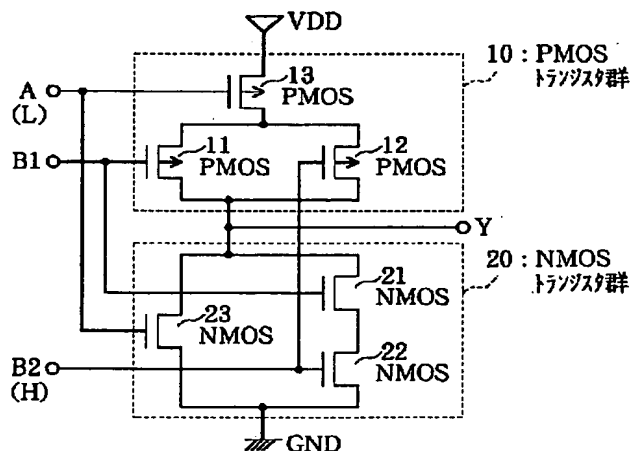
(54)【発明の名称】 相補型多入力論理回路の遅延時間解析方法

(57)【要約】

【課題】 遅延精度を確保しつつ、トランジスタの動作領域の切り替え回数を最小限に抑えることによって、遅延時間の計算時間が増大することを回避できる相補型多入力論理回路の遅延時間解析方法を提供するものである。

【解決手段】 多入力論理回路を構成する複数のPMOSトランジスタ群、複数のNMOSトランジスタ群を、それぞれ、等価的な単一のPMOSトランジスタ、単一のNMOSトランジスタに置き換えることによって、その多入力論理回路を等価的な相補型インバータ型論理回路として扱い、上記等価的な相補型インバータ型論理回路における等価的PMOSトランジスタ、等価的なNMOSトランジスタの電流、電圧特性を、回路シミュレーションのDC解析モードによって決める方法である。

C1: 3入力論理回路



【特許請求の範囲】

【請求項1】 複数個のPMOSトランジスタで構成されているPMOSトランジスタ群と、複数個のNMOSトランジスタで構成されているNMOSトランジスタ群とが直列接続されている相補型多入力論理回路の遅延時間を解析する方法において、

上記相補型多入力論理回路の入力端子を第1の入力端子に設定する第1の入力端子設定段階と；上記相補型多入力論理回路が、単一のPMOSトランジスタと単一のNMOSトランジスタとで構成されている等価的な相補型インバータ型論理回路として動作するように、上記第1の入力端子以外の入力端子の電位を、高電位または低電位に固定する電位固定段階と；上記等価的な相補型インバータ型論理回路における上記単一のPMOSトランジスタと上記単一のNMOSトランジスタとの電流、電圧特性を、回路シミュレーションのDC解析モードを用いて決定する電流、電圧特性決定段階と；この電流、電圧特性決定段階で決定された上記電流、電圧特性を区分線形化法で扱い、上記相補型多入力論理回路の遅延時間を解析する遅延時間解析段階と；を有することを特徴とする相補型多入力論理回路の遅延時間解析方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数個のトランジスタで構成されている相補型多入力論理回路の遅延時間を、短い計算時間で精度よく予測することができる遅延時間解析方法に関する。

【0002】

【従来の技術】LSI（半導体集積回路）において、その動作速度を高速化させることによって、正常動作を確保するために必要なタイミングマージンが減少されつつあり、少ないタイミングマージンで動作するLSIを設計するためには、配線負荷、ファンアウト負荷を考慮した高精度な論理回路の信号遅延解析方法が必要になる。

【0003】SPICEに代表される回路シミュレーションの手法を用いることによって遅延精度自体を向上させることは可能であるが、その回路シミュレーションの手法によって大規模LSIを解析すると、計算時間が長くなるという難点がある。したがって、高速な大規模LSIを設計する上では、回路シミュレーションの手法に代わって、論理回路の信号遅延を精度よくしかも短い計算時間で予測することができる遅延解析方法が強く望まれている。

【0004】最近では、製造技術の微細化に伴い、配線ピッチが縮小化されているので、細幅配線の配線抵抗が論理回路遅延時間に与える影響が深刻になりつつある。一方で、デバイスの速度性能は向上し、波形の立ち下がり、立ち上がり時間は、低負荷においては数10ps、高負荷においては数100psであり、その立ち上がり時間が広範囲に及んでいる。したがって、遅延精度を向

上させるためには、第1の点として、配線抵抗を考慮すること、第2の点として、論理回路への入力波形の傾きの影響を考慮することが鍵になる。

【0005】第1の点である配線抵抗については、線形の抵抗、容量素子で構成される配線ネットの解析方法の1つとして漸近的波形解析方法がよく用いられている。第2の点である論理回路への入力波形の傾きは、トランジスタの非線形性に関するものであり、トランジスタの電流、電圧特性を区分線形化モデルで扱う方法と上記漸近的波形解析方法とを組み合わせる方法が提案されている。

【0006】ここで、区分線形化モデルは、トランジスタの電流、電圧特性を複数の動作領域に分割し、電圧の応答波形を求めるものである。したがって、区分線形化モデルを用いた解析方法を適用すると、解析の途中でトランジスタの動作領域の切り替えが必要になる。

【0007】

【発明が解決しようとする課題】ところが、多入力論理回路は、一般にそれを構成するトランジスタ数が多いので、トランジスタレベルの区分線形化モデルを用いた解析方法を多入力論理回路に適用すると、個々のトランジスタの動作領域の切り替え回数が多くなり、遅延時間を計算する時間が長くなるという問題がある。

【0008】本発明は、遅延精度を確保しつつ、トランジスタの動作領域の切り替え回数を最小限に抑えることによって、遅延時間の計算時間が増大することを回避できる相補型多入力論理回路の遅延時間解析方法を提供するものである。

【0009】

【課題を解決するための手段】本発明は、多入力論理回路を構成する複数個のPMOSトランジスタ群、複数個のNMOSトランジスタ群を、それぞれ、等価的な単一のPMOSトランジスタ、単一のNMOSトランジスタに置き換えることによって、その多入力論理回路を等価的な相補型インバータ型論理回路として扱い、上記等価的な相補型インバータ型論理回路における等価的PMOSトランジスタ、等価的なNMOSトランジスタの電流、電圧特性を、回路シミュレーションのDC解析モードによって決める方法である。

【0010】

【発明の実施の形態および実施例】図1は、本発明の一実施例であるAND-NOR型の3入力論理回路C1を示す図である。

【0011】まず、AND-NOR型の3入力論理回路C1は、入力端子A、B1、B2と、出力端子Yと、PMOSトランジスタ11、12、13と、NMOSトランジスタ21、22、23とを有する。また、AND-NOR型の3入力論理回路C1において、入力端子B1から出力端子Yに至る信号経路の遅延時間を評価する場合、入力端子A、B2の電位をそれぞれ、GNDレベ

ル、VDDレベルに固定する。

【0012】AND-NOR型の3入力論理回路C1は、PMOSTランジスタ群10とNMOSTランジスタ群20とが直列接続されている相補型3入力論理回路であり、PMOSTランジスタ群10は、3個のPMOSTランジスタ11、12、13で構成され、NMOSTランジスタ群20は、3個のNMOSTランジスタ21、22、23で構成されている。

【0013】つまり、AND-NOR型の3入力論理回路C1は、複数個のPMOSTランジスタで構成されているPMOSTランジスタ群と、複数個のNMOSTランジスタで構成されているNMOSTランジスタ群とが直列接続されている相補型多入力論理回路の例であり、この相補型多入力論理回路が、遅延時間を解析しようとする対象である。

【0014】そして、AND-NOR型の3入力論理回路C1において、信号遅延を評価しようとする入力端子を第1の入力端子B1とし、単一のPMOSTランジスタと単一のNMOSTランジスタとで構成される等価的な相補型インバータ型論理回路として3入力論理回路C1が動作するように、第1の入力端子B1以外の入力端子A、B2の電位が、それぞれ低電位、高電位に固定されている。

【0015】そして、上記相補型インバータ型論理回路の等価的PMOSTランジスタ10と等価的NMOSTランジスタ20との電流、電圧特性を、回路シミュレーションのDC解析モードを用いて決定し、この決定された等価的PMOSTランジスタ10と等価的NMOSTランジスタ20との電流、電圧特性を区分線形化法で扱い、配線負荷とファンアウト負荷とを持つ多入力論理回路C1の遅延時間を解析する。

【0016】図1に示すAND-NOR型の3入力論理回路C1では、PMOSTランジスタ13、NMOSTランジスタ22は導通状態、PMOSTランジスタ12、NMOSTランジスタ23はOFF状態になるので、等価的な相補型インバータ型論理回路と看做することができる。

【0017】ここで、等価的なNMOSTランジスタ20の電流、電圧特性を得るには、次のようにする。つまり、出力端子Yの電位をVDDレベルに固定し、出力端子Yをドレイン、入力端子B1をゲート、GNDに接続されたノードをソースと看做し、回路シミュレーションのDC解析において、入力端子B1の電位とVDD、GNDとの間の電位を変化させながら、GNDに流れ込む電流値を測定すれば、等価的なNMOSTランジスタ20の電流、電圧特性を得ることができる。

【0018】また、出力端子Yの電位を接地レベルに固定し、出力Yをドレイン、入力端子B1をゲート、VDDに接続されたノードをソースと看做し、回路シミュレーションのDC解析において、入力端子B1の電位とV

DD、GNDとの間の電位を変化させながら、VDDから流れ出す電流値を測定すれば、等価的なPMOSTランジスタの電流、電圧特性を得ることができる。

【0019】すなわち、多入力論理回路において信号遅延を評価しようとする入力端子を第1の入力端子とし、第1の入力端子を等価的インバータ型論理回路の入力端子と看做し、多入力論理回路の出力端子を上記インバータ型論理回路の出力端子と看做し、第1の入力端子以外の入力端子の電位を、以下の規則に従って、上記多入力論理回路がインバータ型論理回路として動作するように、高電位または低電位に固定する。

【0020】多入力論理回路C1を構成するPMOSTランジスタ11、12、13のうちで、第1の入力端子B1に接続されているPMOSTランジスタ11を第1のPMOSTランジスタ11とし、図1では、第1のPMOSTランジスタ11にPMOSTランジスタ12のみが並列接続されているが、第1のPMOSTランジスタ11にPMOSTランジスタ12以外のPMOSTランジスタが並列接続されていれば、第1のPMOSTランジスタ11に並列接続されているPMOSTランジスタ群が存在し、この場合、これを第1のPMOSTランジスタ群とし、第1のPMOSTランジスタ群が非導通状態になるように、第1のPMOSTランジスタ群のゲートに接続されている入力端子の電位を高電位に固定する。

【0021】次に、PMOSTランジスタ群10においては、第1のPMOSTランジスタ11にPMOSTランジスタ13のみが直列接続されているが、第1のPMOSTランジスタ11にPMOSTランジスタ13以外のPMOSTランジスタが直列接続されていれば、第1のPMOSTランジスタ11にPMOSTランジスタ群が直列接続されていることになり、しかもこのPMOSTランジスタ群は互いに並列接続されている複数のPMOSTランジスタ群で構成されている場合、上記並列接続されたPMOSTランジスタ群を第2、第3のPMOSTランジスタ群とする。これら第2、第3のPMOSTランジスタ群の1つが導通状態となるように、第2、第3のPMOSTランジスタ群を構成するランジスタの少なくとも1個のPMOSTランジスタのゲートに接続された入力端子を低電位に固定する。

【0022】上記の方法によって、3入力論理回路C1が等価的インバータ型論理回路に置き換えられ、この置き換えられた等価的インバータ型論理回路について、回路シミュレーションのDC解析モードを用いて、上記等価的インバータ型論理回路における等価的NMOSTランジスタ、等価的PMOSTランジスタの電流、電圧特性を決める。

【0023】等価的PMOSTランジスタの電流、電圧特性を決めるためには、上記等価的インバータ型論理回路の出力端子の電圧値を接地電位と等しい値に設定し、

多入力論理回路において電源電圧に接続されているノード、出力端子、入力端子を、それぞれ、等価的PMOSトランジスタのソース、ドレイン、ゲートと看做し、電源電圧、ゲート電圧を変化させながら、電源電圧から供給される電流値を測定する。

【0024】NMOSトランジスタの電流、電圧特性を決めるためには、上記等価的インバータ型論理回路の出力端子の電圧値を電源電圧と等しい値に設定し、多入力論理回路において接地されているノード、出力端子、入力端子を、それぞれ、等価的NMOSトランジスタのドレイン、ソース、ゲートと看做し、電源電圧、ゲート電圧を変化させながら、接地電位に流れ込む電流値を測定する。

【0025】上記手順に従って決められた等価的インバータ型論理回路の等価的PMOSトランジスタ、等価的NMOSトランジスタの電流、電圧曲線に基づいて、フィッティングによって、区分線形化モデルのパラメータを決定する。

【0026】図2は、AND-NOR型3入力論理回路C1において、入力ピンB1から出力ピンYに至る信号経路の遅延を評価する場合に、上記方法によって得られた等価的なNMOSトランジスタの電流、電圧特性を実線で示した図である。

【0027】図2における点線は、この電流、電圧特性からフィッティングによって得られた区分線形化モデルの結果を示す特性である。

【0028】図2に示す例では、飽和電流のゲート電圧依存性が、線形から大きくずれているので、飽和領域の2領域に分割した4領域（線形、高 V_{gs} 飽和、低 V_{gs} 飽和、OFF）の区分線形化モデルを用いている。

【0029】図3は、AND-NOR型3入力論理回路C1において、入力ピンB1から出力ピンYに至る信号経路の遅延を評価する場合に、上記方法によって得られた等価的なPMOSトランジスタの電流、電圧特性を実線で示した図である。

【0030】図3に示す例でも、上記したNMOSトランジスタの場合と同様、飽和領域を2領域に分割した4領域の区分線形化モデルを用いている。

【0031】図4は、7段のAND-NOR型論理回路列を、等価的インバータ型論理回路列に置き換え、これに上記4領域区分線形化モデルを適用して得られた電圧応答波形を実線で示す図である。ただし、配線の抵抗と容量成分との解析には漸近的波形解析方法を用いている。なお、図4における点線は、回路シミュレーションで得られた電圧応答波形を示すものである。

【0032】上記7段のAND-NOR型論理回路列において、各段の配線負荷とファンアウト負荷との容量は、28fFから427fFまで幅をもたせてある。回路シミュレーション結果と比較すると、よい精度で電圧応答が求められている。

【0033】図5は、図4に示すAND-NOR型論理回路列の解析例において、等価的なPMOSトランジスタ、等価的なNMOSトランジスタの動作領域における切り替わりパターンを示す図である。

【0034】図1に示す3入力論理回路C1において、6個のトランジスタで構成されるAND-NOR型論理回路を、等価的な2個のトランジスタで構成される相補型インバータ型論理回路に縮約したので、動作領域の切り替わり回数は高々4回にとどまっている。したがって、遅延解析に要する計算時間を最小限に抑えることができる。

【0035】上記実施例では、相補型多入力論理回路における複数のPMOSトランジスタで構成されるPMOSトランジスタ群、複数のNMOSトランジスタで構成されるNMOSトランジスタ群を、単一のPMOSトランジスタ、NMOSトランジスタに置き換え、多入力論理回路を等価的な相補型インバータ型論理回路として扱い、単一のPMOSトランジスタ、単一のNMOSトランジスタのそれぞれの電流、電圧特性を区分線形化法で扱うことにしたので、トランジスタ動作領域の切り替え回数を大幅に低減でき、したがって、遅延精度を確保しつつ、遅延時間の計算時間を短縮することができる。また、セルベース設計されたLSIにおいて利用されるセルのドライバ部分は、一般に、上記実施例で適用可能な相補型多入力論理ゲートと同等の構造を有するので、上記実施例は、セルベースで設計されたLSIの遅延解析に容易に適用可能である。

【0036】上記実施例においては、入力端子A、B2の電位が、それぞれ低電位、高電位に固定されているが、等価的な相補型インバータ型論理回路として多入力論理回路が動作するように、第1の入力端子以外の入力端子の電位が、低電位または高電位に固定されていればよい。

【0037】

【発明の効果】本発明によれば、大規模LSIにトランジスタレベルの区分線形化モデルを適用した場合における動作領域の切り替わり回数を大幅に低減でき、したがって、プログラム化において動作領域の切り替わりの判定処理が容易になり、遅延精度を悪化させることなく計算時間を短縮することができるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の一実施例であるAND-NOR型の3入力論理回路C1を示す図である。

【図2】図2は、AND-NOR型3入力論理回路において、入力ピンB1から出力ピンYに至る信号経路の遅延を評価する場合に、上記実施例を適用して得られる等価的なNMOSトランジスタの電流、電圧特性を実線で示す図である。

【図3】AND-NOR型3入力論理回路C1における入力ピンB1から出力ピンYに至る経路の等価的PMO

Sトランジスタの電流、電圧特性を示す図である。

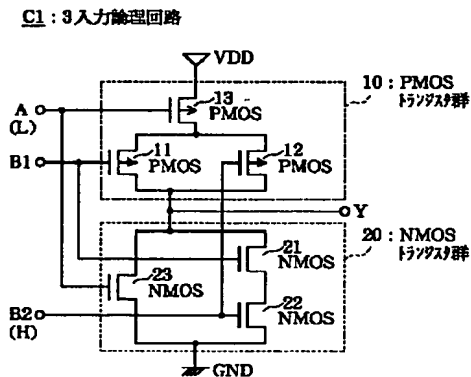
【図4】7段のAND-NOR型論理回路列を等価的インバータ型論理回路列に置き換え、これに上記4領域区分線形化モデルを適用して得られた電圧応答波形を実線で示す図である。

【図5】図4に示すAND-NOR型論理回路列の解析例において、等価的なPMOSTランジスタ、NMOSTランジスタの動作領域における切り替わりパターンを示す図である。

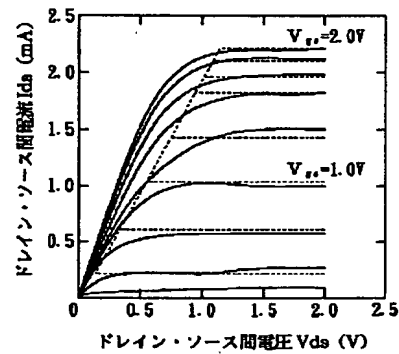
【符号の説明】

C1…AND-NOR型の3入力論理回路、
Y…出力端子、
A、B1、B2…入力端子、
10…PMOSTランジスタ群、
11、12、13…PMOSTランジスタ、
20…NMOSTランジスタ群、
21、22、23…NMOSTランジスタ。

【図1】

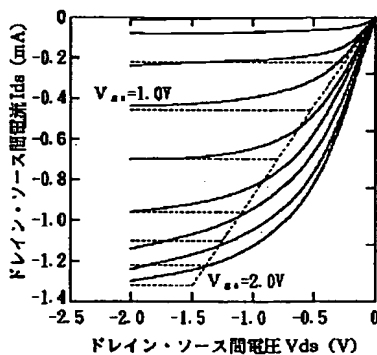


【図2】

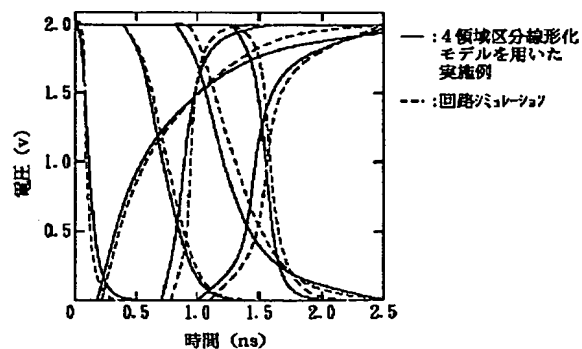


K3717

【図3】



【図4】



K3717

【図5】

段数	パターン
1	$(L, S_1) \rightarrow (S_1, S_1) \rightarrow (O, S_1) \rightarrow (O, L)$
2	$(L, S_1) \rightarrow (S_1, S_1) \rightarrow (S_1, L) \rightarrow (O, L)$
3	$(L, S_1) \rightarrow (S_1, S_1) \rightarrow (O, S_1) \rightarrow (O, S_1) \rightarrow (O, L)$
4	$(L, S_1) \rightarrow (S_1, S_1) \rightarrow (S_1, S_1) \rightarrow (O, S_1) \rightarrow (O, L)$
5	$(L, S_1) \rightarrow (S_1, S_1) \rightarrow (S_1, S_1) \rightarrow (S_1, L) \rightarrow (O, L)$
6	$(L, S_1) \rightarrow (L, S_1) \rightarrow (S_1, S_1) \rightarrow (S_1, L) \rightarrow (O, L)$
7	$(L, S_1) \rightarrow (L, S_1) \rightarrow (S_1, S_1) \rightarrow (O, S_1) \rightarrow (O, L)$